

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-45304

(P2004-45304A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO1S 17/36	GO1S 17/36	2F112
GO1C 3/06	GO1C 3/06	4M118
GO1S 7/48	GO1S 7/48	5C024
HO1L 27/148	HO1L 27/14	5J084
// HO4N 5/335	HO4N 5/335	P

審査請求 有 請求項の数 10 O L (全 24 頁)

(21) 出願番号	特願2002-205165 (P2002-205165)	(71) 出願人	000005832
(22) 出願日	平成14年7月15日 (2002.7.15)		松下電工株式会社
		(74) 代理人	100085615 弁理士 倉田 政彦
		(72) 発明者	橋本 裕介 大阪府門真市大字門真1048番地 松下電工株式会社内
		(72) 発明者	古川 聡 大阪府門真市大字門真1048番地 松下電工株式会社内
		(72) 発明者	高田 裕司 大阪府門真市大字門真1048番地 松下電工株式会社内

最終頁に続く

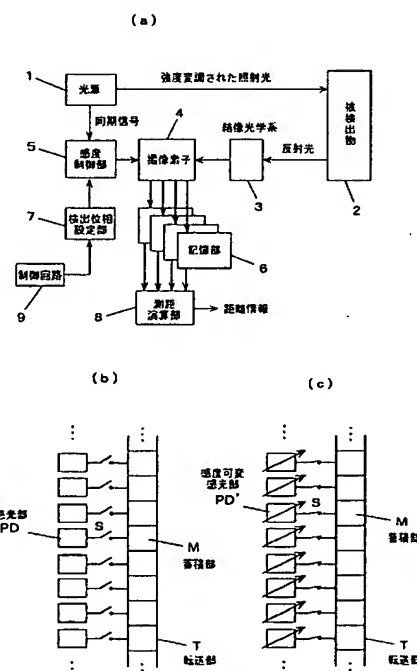
(54) 【発明の名称】 撮像素子を用いた測距装置および測距方法

(57) 【要約】

【課題】 一般的なCCD撮像素子の制御方法を工夫することで、実質的に同期積分をしているのと同じような動作を実現可能とし、従来、特殊な構造の撮像素子を必要としていた光波測距を一般的なCCD撮像素子を用いて安価に実現する。

【解決手段】 複数の感光部を半導体基板上に1次元または2次元的に配列され、前記半導体基板への電圧印加により前記各感光部の感度を制御可能な構造を有する撮像素子4と、強度変調された光の変調信号に同期して前記撮像素子4の半導体基板に前記各感光部の感度を変調せしめる電圧を印加する感度制御部5とを有する構成とし、強度変調された照射光に同期して感光部の感度を可変とすることで光波測距を実現する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の感光部を半導体基板上に 1 次元または 2 次元的に配列され、前記半導体基板への電圧印加により前記各感光部の感度を制御可能な構造を有する撮像素子と、強度変調された光の変調信号に同期して前記撮像素子の半導体基板に前記各感光部の感度を変調せしめる電圧を印加する感度制御部とを有することを特徴とする撮像素子を用いた測距装置。

【請求項 2】

受光量に応じて信号電荷を発生せしめる感光部と、感光部で発生した信号電荷を蓄積する蓄積部とを備えるセンサ要素を半導体基板上に 1 次元または 2 次元的に配列すると共に、各センサ要素の蓄積部から蓄積電荷を読み出す転送部を前記半導体基板に形成し、前記半導体基板への電圧印加により感光部の感度を実質的に低下させることができる構造を有する撮像素子と、

10

強度変調された光により照射された被検出物からの反射光を前記撮像素子のセンサ要素が配列された面に結像せしめる結像光学系と、

前記強度変調された光の変調信号に同期して、前記感光部の感度を低下させるための制御電圧を前記半導体基板に印加する感度制御部と、

前記強度変調の複数の周期にわたって前記撮像素子の蓄積部に蓄積された電荷を前記転送部により読み出して測定値として記憶する記憶部と、

前記強度変調の一周期のうち前記感光部の感度を低下させるための制御電圧が印加される低感度期間の位相を前記記憶部に測定値が記憶されるたびに切り替える検出位相設定部と

20

記憶部に記憶された低感度期間の位相が異なる複数の測定値に基づいて、各センサ要素ごとに被検出物までの距離情報を演算する測距演算部とを有することを特徴とする撮像素子を用いた測距装置。

【請求項 3】

受光量に応じて信号電荷を発生せしめる感光部と、感光部で発生した信号電荷を蓄積する蓄積部とを備えるセンサ要素を半導体基板上に 2 次元的に配列すると共に、各センサ要素の蓄積部から蓄積電荷を読み出す転送部を前記半導体基板に形成し、前記半導体基板の表面と垂直な方向に感光部の電位障壁を崩すような高い電圧を印加することにより感光部の信号電荷を前記半導体基板に廃棄するための縦型オーバーフローライン電極を有するインターライン・トランスファ型 C C D 撮像素子を用いた測距方法であって、

30

強度変調された光により照射された被検出物からの反射光を前記撮像素子のセンサ要素が配列された面に結像せしめた状態で、前記強度変調された光の変調信号に同期して、前記強度変調の一周期のうち所定の期間で前記感光部の信号電荷を前記半導体基板に廃棄させるための制御電圧を前記縦型オーバーフローライン電極に印加する動作を前記強度変調の複数の周期にわたって繰り返す第 1 の段階と、

第 1 の段階で前記撮像素子の蓄積部に蓄積された電荷を測定値として前記転送部により読み出す第 2 の段階と、

第 2 の段階で測定値が読み出されるたびに、第 1 の段階で前記縦型オーバーフローライン電極に前記制御電圧を印加する期間の位相を切り替える第 3 の段階と、

40

第 1、第 2、第 3 の段階を複数回繰り返した後、前記制御電圧を印加する期間の位相が異なる複数の測定値に基づいて、各センサ要素ごとに被検出物までの距離情報を演算する第 4 の段階とを有することを特徴とする撮像素子を用いた測距方法。

【請求項 4】

受光量に応じて信号電荷を発生せしめる感光部と、感光部で発生した信号電荷を蓄積する蓄積部とを備えるセンサ要素を半導体基板上に 2 次元的に配列すると共に、各センサ要素の蓄積部から蓄積電荷を読み出す転送部を前記半導体基板に形成し、前記半導体基板の表面と水平な方向に感光部の電位障壁を崩すような高い電圧を印加することにより感光部の信号電荷を前記半導体基板の表面と水平な方向に廃棄するための横型オーバーフローライン電極を有するインターライン・トランスファ型 C C D 撮像素子を用いた測距方法であ

50

って、

強度変調された光により照射された被検出物からの反射光を前記撮像素子のセンサ要素が配列された面に結像せしめた状態で、前記強度変調された光の変調信号に同期して、前記強度変調の一周期のうち所定の期間で前記感光部の信号電荷を廃棄させるための制御電圧を前記横型オーバーフロードレイン電極に印加する動作を前記強度変調の複数の周期にわたって繰り返す第1の段階と、

第1の段階で前記撮像素子の蓄積部に蓄積された電荷を測定値として前記転送部により読み出す第2の段階と、

第2の段階で測定値が読み出されるたびに、第1の段階で前記横型オーバーフロードレイン電極に前記制御電圧を印加する期間の位相を切り替える第3の段階と、

第1、第2、第3の段階を複数回繰り返した後、前記制御電圧を印加する期間の位相が異なる複数の測定値に基づいて、各センサ要素ごとに被検出物までの距離情報を演算する第4の段階とを有することを特徴とする撮像素子を用いた測距方法。

10

【請求項5】

受光量に応じてそれぞれ信号電荷を発生せしめる3つ以上の感光部を備え、両端を除く特定の感光部に他の感光部から信号電荷を集めるような電位を与えることにより前記特定の感光部に信号電荷を蓄積するようにしたセンサ要素を半導体基板上に2次元的に配列して成る撮像部と、撮像部の各センサ要素から蓄積電荷を読み出す転送部を前記半導体基板に形成し、前記半導体基板の表面と垂直な方向に感光部の電位障壁を崩すような高い電圧を印加することにより感光部の信号電荷を前記半導体基板に廃棄するための縦型オーバーフロードレイン電極を有するフレーム・トランスファ型CCD撮像素子を用いた測距方法であって、

20

強度変調された光により照射された被検出物からの反射光を前記撮像素子のセンサ要素が配列された面に結像せしめた状態で、前記強度変調された光の変調信号に同期して、前記強度変調の一周期のうち所定の期間で前記各センサ要素を構成する3つ以上の感光部のうち前記特定の感光部に蓄積された信号電荷を残したまま他の感光部の信号電荷を前記半導体基板に廃棄させるような制御電圧を前記縦型オーバーフロードレイン電極に印加する動作を前記強度変調の複数の周期にわたって繰り返す第1の段階と、

第1の段階で前記各センサ要素の前記特定の感光部に蓄積された電荷を測定値として前記転送部により読み出す第2の段階と、

30

第2の段階で測定値が読み出されるたびに、第1の段階で前記縦型オーバーフロードレイン電極に前記制御電圧を印加する期間の位相を切り替える第3の段階と、

第1、第2、第3の段階を複数回繰り返した後、前記制御電圧を印加する期間の位相が異なる複数の測定値に基づいて、各センサ要素ごとに被検出物までの距離情報を演算する第4の段階とを有することを特徴とする撮像素子を用いた測距方法。

【請求項6】

受光量に応じてそれぞれ信号電荷を発生せしめる3つ以上の感光部を備え、両端を除く特定の感光部に他の感光部から信号電荷を集めるような電位を与えることにより前記特定の感光部に信号電荷を蓄積するようにしたセンサ要素を半導体基板上に2次元的に配列して成る撮像部と、撮像部の各センサ要素から蓄積電荷を読み出す転送部を前記半導体基板に形成し、前記半導体基板の表面と水平な方向に感光部の電位障壁を崩すような高い電圧を印加することにより感光部の信号電荷を廃棄するための横型オーバーフロードレイン電極を有するフレーム・トランスファ型CCD撮像素子を用いた測距方法であって、

40

強度変調された光により照射された被検出物からの反射光を前記撮像素子のセンサ要素が配列された面に結像せしめた状態で、前記強度変調された光の変調信号に同期して、前記強度変調の一周期のうち所定の期間で前記各センサ要素を構成する3つ以上の感光部のうち前記特定の感光部に蓄積された信号電荷を残したまま他の感光部の信号電荷を廃棄させるような制御電圧を前記横型オーバーフロードレイン電極に印加する動作を前記強度変調の複数の周期にわたって繰り返す第1の段階と、

第1の段階で前記各センサ要素の前記特定の感光部に蓄積された電荷を測定値として前記

50

転送部により読み出す第2の段階と、

第2の段階で測定値が読み出されるたびに、第1の段階で前記横型オーバーフローレイ
ン電極に前記制御電圧を印加する期間の位相を切り替える第3の段階と、

第1、第2、第3の段階を複数回繰り返した後、前記制御電圧を印加する期間の位相が異
なる複数の測定値に基づいて、各センサ要素ごとに被検出物までの距離情報を演算する第
4の段階とを有することを特徴とする撮像素子を用いた測距方法。

【請求項7】

請求項5または6において、前記各センサ要素を構成する感光部は4つ以上で構成されて
おり、前記特定の感光部に蓄積された信号電荷を残したまま他の感光部の信号電荷を廃棄
させる期間では、前記特定の感光部に隣接する感光部に前記特定の感光部を他の感光部か
ら電氣的に孤立させるような電位障壁を形成する電圧を印加することを特徴とする撮像素
子を用いた測距方法。

10

【請求項8】

請求項7において、前記特定の感光部と前記電位障壁が形成される感光部の表面には遮光
部が形成されていることを特徴とする撮像素子を用いた測距方法。

【請求項9】

受光量に応じて信号電荷を発生せしめる感光部と、感光部で発生した信号電荷を蓄積する
蓄積部と、感光部から蓄積部への信号電荷の移送を開閉する電気スイッチとを備えるセン
サ要素を半導体基板上に1次元または2次的に配列すると共に、各センサ要素の蓄積部
から蓄積電荷を読み出す転送部を前記半導体基板に形成し、前記半導体基板の特定の電極
への電圧印加により前記電気スイッチを高周波で開閉できる構造を有する撮像素子と、
強度変調された光により照射された被検出物からの反射光を前記撮像素子のセンサ要素が
配列された面に結像せしめる結像光学系と、

20

前記強度変調された光の変調信号に同期して、前記電気スイッチを閉じるための制御電圧
を前記半導体基板の前記特定の電極に印加する同期積分制御部と、前記強度変調の複数の
周期にわたって前記撮像素子の蓄積部に蓄積された電荷を前記転送部により読み出して測
定値として記憶する記憶部と、

前記強度変調の一周期のうち前記電気スイッチを閉じるための制御電圧が印加される同期
積分期間の位相を前記記憶部に測定値が記憶されるたびに切り替える検出位相設定部と、
記憶部に記憶された同期積分期間の位相が異なる複数の測定値に基づいて、各センサ要素
ごとに被検出物までの距離情報を演算する測距演算部とを有することを特徴とする撮像素
子を用いた測距装置。

30

【請求項10】

請求項9において、前記蓄積部に蓄積された信号電荷を隣接する蓄積部に順次転送するた
めの転送電極を前記蓄積部の表面に形成することにより前記転送部を構成すると共に、前
記転送電極に信号電荷を転送するための電圧が印加されていない期間において、前記転送
電極に前記感光部で発生した信号電荷を前記蓄積部に移送させる電圧と前記感光部で発生
した信号電荷を前記蓄積部に移送させない電圧とを交互に印加することにより、前記感光
部から蓄積部への信号電荷の移送を高周波で開閉する電気スイッチを構成したことを特徴
とする撮像素子を用いた測距装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は撮像素子を用いた測距装置および測距方法に関するものであり、照射光に対する
反射光の位相の遅れを撮像素子の各画素ごとに検出して被検出物の立体構造を検出可能と
する技術に関するものである。

【0002】

【従来の技術】

図3は従来のTOF (Time Of Flight) 方式の光波測距の原理説明図であ
る。図中、1は光源、2は被検出物、3は結像光学系、4は撮像素子である。光源1は例

50

例えばLEDアレイで構成されており、その出力光は高周波で強度変調されている。光源1に複数のLEDを用いているのは、出力光の強度を増大させるためであり、各LEDは同期して発光している。光源1から被検出物2に照射される光が例えば20MHzの高周波で強度変調されている場合、その波長は15mとなるから、光が7.5mの距離を往復すれば1周期の位相の遅れが生じることになる。

【0003】

照射光に対する反射光の位相の遅れについて図4により説明する。図中、Wは照射光、Rは反射光であり、反射光には Ψ の位相遅れが生じている。照射光Wの1周期について4回、反射光Rをサンプリングして、照射光の位相が 0° 、 90° 、 180° 、 270° であるときの反射光の検出値をそれぞれA0, A1, A2, A3とすると、位相の遅れ Ψ は次式で与えられる。

10

$$\Psi = \arctan \{ (A3 - A1) / (A0 - A2) \}$$

【0004】

被検出物2で反射された光は結像光学系3を介して撮像素子4の受光面に結像される。撮像素子4の受光面には複数の画素(X, Y)が2次的に配列されており、各画素について上式による位相遅れ $\Psi(X, Y)$ を求めることにより、被検出物2の立体的な構造を検出できる。

【0005】

このTOF方式の光波測距に用いる撮像素子は、照射光の1周期について複数回のサンプリングができるものでなければならず、従来、特表平10-508736号には図5あるいは図6のような構造が提案されている。図5の撮像素子は、1画素について1つの感光部PDと4つのメモリーセルM0, M1, M2, M3を備え、各メモリーセルM0, M1, M2, M3と感光部PDの間には時分割的にオンされる電気スイッチS0, S1, S2, S3が設けられている。各電気スイッチS0, S1, S2, S3はそれぞれ図4のT0, T1, T2, T3の期間でオンされる。この動作を複数周期にわたり繰り返すことにより、暗電流ノイズやショットノイズ(電子-正孔対の発生ばらつきによるノイズ)、アンプ回路の定常ノイズ等に対するS/N比を向上させることができ、反射光の検出値A0, A1, A2, A3がメモリーセルM0, M1, M2, M3に蓄積される。このような動作を、「同期積分」と呼ぶことにする。図6の撮像素子はデータ読み出し用のシフトレジスタSRを備え、時分割的にオンされる4つの電気スイッチS0, S1, S2, S3を介して1つの感光部PDからシフトレジスタSRの各メモリーセルM0, M1, M2, M3に受光信号が蓄積され、シフトレジスタSRの転送機能により受光信号が読み出される。

20

30

【0006】

【発明が解決しようとする課題】

しかしながら、上述の図5または図6に示すような特殊な構造を有する撮像素子をわざわざ製作するのでは製造コストが高くなり、測距装置全体のコストが上昇する。そこで、一般的なCCD撮像素子の制御方法を工夫することで、同期積分を実現できないか、種々検討したところ、CCD撮像素子のオーバーフロードレイン電極あるいは垂直転送電極に印加する電圧を巧妙に制御することで実質的に同期積分しているのと同じような動作が実現できることを見出した。

40

【0007】

本発明は、このような知見に基づいてなされたものであり、一般的なCCD撮像素子の制御方法を工夫することで、実質的に同期積分をしているのと同じような動作を実現可能とし、従来、特殊な構造の撮像素子を必要としていた光波測距を一般的なCCD撮像素子を用いて安価に実現することを課題とする。

【0008】

【課題を解決するための手段】

本発明の測距装置は、上記の課題を解決するために、図1に示すように、複数の感光部を半導体基板上に1次元または2次的に配列され、前記半導体基板への電圧印加により前記各感光部の感度を制御可能な構造を有する撮像素子4と、強度変調された光の変調信号

50

に同期して前記撮像素子4の半導体基板に前記各感光部の感度を調整せしめる電圧を印加する感度制御部5とを有することを特徴とするものである。より具体的には、強度変調された光により照射された被検出物2からの反射光を撮像素子4のセンサ要素が配列された面に結像せしめる結像光学系3と、前記強度変調された光の変調信号に同期して、撮像素子4の感光部の感度を低下させるための制御電圧を撮像素子4の半導体基板に印加する感度制御部5と、前記強度変調の複数の周期にわたって前記撮像素子4の蓄積部に蓄積された電荷を転送部により読み出して測定値として記憶する記憶部6と、前記強度変調の一周期のうち感光部の感度を低下させるための制御電圧が印加される低感度期間の位相を前記記憶部6に測定値が記憶されるたびに切り替える検出位相設定部7と、記憶部6に記憶された低感度期間の位相が異なる複数の測定値に基づいて、撮像素子4の各センサ要素ごとに被検出物2までの距離情報を演算する測距演算部8とを有することを特徴とするものである。

10

【0009】

ここで、本発明の測距装置に用いる撮像素子4は、図1(b)に示すように、受光量に応じて信号電荷を発生せしめる感光部PDと、感光部PDで発生した信号電荷を蓄積する蓄積部Mと、感光部PDから蓄積部Mへの信号電荷の移送を開閉する電気スイッチSとを備えるセンサ要素を半導体基板上に1次元または2次元的に配列すると共に、各センサ要素の蓄積部Mから蓄積電荷を読み出す転送部Tを前記半導体基板に形成し、前記半導体基板の特定の電極（例えば転送電極）への電圧印加により前記電気スイッチSを高周波で開閉できる構造を有する撮像素子とするか、あるいは、図1(c)に示すように、前記電気スイッチSを高周波では開閉できないが、これをオンにしたままで、前記半導体基板の他の特定の電極（例えばオーバーフロードレイン電極）への電圧印加により感度を高周波で増減させることができる感度可変感光部PD'を有するような撮像素子とする。具体的には、縦型または横型オーバーフロードレイン電極を有するインターライン・トランスファ型CCD撮像素子、あるいは、縦型または横型オーバーフロードレイン電極を有するフレーム・トランスファ型CCD撮像素子、もしくは、これらの複合型であるフレーム・インターライン・トランスファ型CCD撮像素子が利用できる。

20

【0010】

図2は本発明の動作説明図である。図中、(a)は照射光Wの位相を示しており、(b)～(e)は検出位相設定部7で設定される同期積分のための検出位相を示している。従来の技術では、1つのセンサ要素ごとに、図5または図6に示すように、1つの感光部PDと複数のスイッチS0～S3と複数のメモリーセルM0～M3を設けて、スイッチS0、S1、S2、S3をそれぞれ図2(b)、(c)、(d)、(e)の検出位相で時分割的にオンさせていた。本発明では、図1(b)に示すように、1つのセンサ要素ごとに、受光量に応じて信号電荷を発生せしめる感光部PDと、感光部PDで発生した信号電荷を蓄積する蓄積部Mと、感光部PDから蓄積部Mへの信号電荷の移送を開閉する電気スイッチSとを1つずつ備え、1回目の撮像時には電気スイッチSを図2(b)の検出位相で繰り返しオンすることにより、蓄積部Mに図4のA0に相当する測定値を得て、これを転送部Tにより1画面分、読み出す。2回目、3回目、4回目の撮像時には電気スイッチSをそれぞれ図2(c)、(d)、(e)の検出位相で繰り返しオンすることにより、蓄積部Mに図4のA1、A2、A3に相当する測定値を得て、これを1画面分ずつ、転送部Tにより読み出す。以上の動作を制御回路9により統括制御する。このようにすれば、図5または図6に示す構造の撮像素子を用いる場合に比べて4倍の測定時間を要するものの、被検出物2が高速で移動しなければ、検出位相の異なる4枚の画像を取得することができ、一般的なCCD撮像素子を用いても光波測距が実現できる。なお、測距演算部8は実質的に距離情報を演算できるものであれば良く、マイコン、DSP、演算増幅器等、任意の手段で構成できる。

30

40

【0011】

ところで、CCD撮像素子として最も一般的なインターライン・トランスファ型のCCD撮像素子において、図1(b)の電気スイッチSを構成する電極は垂直転送電極と兼用さ

50

れており、この電極は半導体基板上に絶縁薄膜を介して形成されているので、形状の割りには静電容量が大きく、容量が大きい場合は、数十MHzの高周波で開閉することは極めて困難であることが分かった。このような場合は、一般的なCCD撮像素子を用いて近距離の光波測距を実現する用途には不向きである。

【0012】

そこで、図1(c)に示すように、感光部と蓄積部の間の電気スイッチSはON状態に維持したままで、感光部の感度のみを照射光と同期して周期的に低下させることができる手段が無いか検討した。感光部の感度とは、要するに受光量に対する光電子の発生効率のことであるから、発生した光電子の一部を捨てることができれば、実質的には感度が低下していることになる。

10

【0013】

このような感光部の光電子を捨てる手段として、CCD撮像素子のなかには、過剰な信号電荷を基板に捨てるためのオーバーフロードレインと呼ばれる構造を有するものがある。このオーバーフロードレインは、もともとは感光部に強過ぎる光が入手したときに、発生した過剰な信号電荷が周囲の感光部に影響を及ぼすのを防ぐために、所定のレベルを越える信号電荷を基板に捨てるために設けられたものであるが、このオーバーフロードレインが信号電荷をオーバーフローさせるレベルを意図的に下げてやれば、感光部の信号電荷が過剰でなくても信号電荷は過剰であるものとして捨てられることになり、実質的に感光部の感度を低下させることができる。しかも、このオーバーフロードレインは基板に直結されているので、形状の割りには静電容量が小さく、数十MHzでのスイッチングも可能である。そこで、光を検出したくない位相ではオーバーフロードレインが信号電荷をオーバーフローさせるレベルを低く設定してやれば、感光部の感度を照射光の周期に合わせて変調することができる。

20

【0014】

もちろん、このオーバーフロードレイン電極をCCDカメラの電子シャッターに利用するという考え方は従来から存在するが、それは1回切りの露光を意図したものであったので、蓄積部の電荷が初期化された状態から積分を開始するものであった。蓄積部の電荷を初期化せずに、前回までの露光による残像を残したままで複数回の露光をオーバーフロードレイン電極の印加電圧制御により実現するような制御方法は知られていない。

【0015】

以下、発明の実施の形態として、縦型または横型オーバーフロードレイン電極を有するインターライン・トランスファ型CCD撮像素子ならびにフレーム・トランスファ型CCD撮像素子について、同期積分と同じような動作を実現するための具体的な制御方法について詳しく説明する。

30

【0016】

【発明の実施の形態】

（実施の形態1）

図7は縦型オーバーフロードレイン(VOD)電極を有するインターライン・トランスファ型CCD(IT-CCD)の構成を示している。n型基板10の表面には、アルミニウム電極よりなる縦型オーバーフロードレイン(VOD)電極11が絶縁膜を介さず基板に直接接触するように形成されている。VOD電極11には制御電圧 V_s が印加されている。n型基板10の表面のVOD電極11で囲まれた部分にはp型領域12が形成されている。このp型領域12に複数のフォトダイオードが分離して形成されている。図中、PDと記した部分はフォトダイオードであり、このフォトダイオードPDが形成された部分以外の表面は遮光膜(図示せず)で覆われている。図7では垂直方向に3列、水平方向に4行のフォトダイオードPDを図示しているが、実際にはより多数のフォトダイオードPDが形成されている。各フォトダイオードPDに隣接して形成された電極a, b, c, dならびにa', b', c', d'は垂直転送CCDの電極であり、この電極の下にフォトダイオードPDで発生した信号電荷を蓄積し、蓄積された信号電荷を4相の垂直転送電圧 V_1, V_2, V_3, V_4 により水平転送CCDに転送する。(各列のフォトダイオードPD

40

50

に隣接して形成された垂直転送CCDの電極は、水平方向に並んだ電極に同じ垂直転送電圧が印加されるように図示しない配線を介して接続されている。) 水平転送CCDは2相の水平転送電圧 V_{H1} 、 V_{H2} により電荷を転送するための水平転送電極 e 、 f 、 e' 、 f' 、 e'' 、 f'' を備えている。IT-CCDでは、垂直転送は4相クロック、水平転送は2相クロックで行うことが極めて一般的であり、その電荷転送の仕組みについては周知のものであるので、詳しい説明は省略する。

【0017】

図8はフォトダイオードPDと垂直転送電極 a 、 b の部分の断面構造を示している。上述のように、 n 型基板10の表面には、 p 型領域12が形成されており、この p 型領域12の表面には、複数のフォトダイオードPDが形成されている。各フォトダイオードPDは $n+$ 領域13と p 型領域12とから構成されている。フォトダイオードPDの表面には $p+$ 層14が形成されている。この $p+$ 層14の効果について説明すると、基板表面の結晶構造は結晶性が悪く、エネルギーの安定性が悪い(エネルギーが活性である)ので、熱励起により電子-正孔対が発生し易く、これが暗電流となって信号電荷の S/N 比を悪くする一因となる。この影響を防ぐために、信号電荷が表面付近を通らないようにすることが、 $p+$ 層14の役割であり、この構造を有するフォトダイオードは、埋め込みフォトダイオードなどと呼ばれている。各フォトダイオードPDに隣接して、 p 型領域12の表面に垂直転送CCDを構成する n 層15が形成されている。この n 層15の表面には、 SiO_2 よりなる絶縁薄膜16を介して、ポリシリコンゲート電極よりなる垂直転送電極 a 、 b が形成されている。このポリシリコンゲート電極は絶縁薄膜16を介して形成されているので、形状の割りに静電容量が大きく、静電容量が大きい場合は、数十MHzの高周波でスイッチングすることは困難である。なお、フォトダイオードPDと垂直転送電極 c 、 d の部分の断面構造も図8と同様である。

【0018】

図9は図8のA-A'線について垂直転送CCDの垂直転送電極 a 、 b 、 c 、 d の断面構造を示している。第1の垂直転送電極 a 、 c はフォトダイオードPDから垂直転送CCDへの電荷読み出しと垂直転送の役割を果たす。第2の垂直転送電極 b 、 d は垂直転送の役割を果たす。垂直転送電極 a 、 b 、 c 、 d の上部には遮光膜17が形成されている。

【0019】

図10は図8の太い破線に沿って電子のポテンシャルを示している。つまり、垂直転送CCDの n 層15から $p+$ 層14' (厳密には基板表面の $p+$ 層14とは別工程で形成されている)、フォトダイオードPDの $n+$ 層13、 p 型領域12、 n 型基板10に沿って電子のポテンシャルを示したものである。フォトダイオードPDと垂直転送CCDの間の $p+$ 層14の電位障壁(図10の右側の破線で示す)は垂直転送電極 a 、 c の印加電圧を高くすることにより崩すことができる。また、フォトダイオードPDと n 型基板10の間の p 型領域12の電位障壁(図10の左側の破線で示す)はVOD電極11の印加電圧を高くすることにより崩すことができる。図中の白丸に- (マイナス) の記号を付したものは光電子を意味している。また、フォトダイオードPDの部分の光電子で“たてがみ”のような模様を周囲に付したものは、光電変換により発生した光電子を意味している。以下の説明においても同様である。

【0020】

IT-CCDにおいて、VOD電極を設けている本来の理由は、フォトダイオードPDに非常に強い光が入射したときに、過剰な信号電荷を n 型基板10に逃がすためであるが、本発明では、信号電荷が過剰でなくとも、フォトダイオードPDの感度を下げたいときには、信号電荷が過剰であることにして、基板にオーバーフローさせてしまうことにより、フォトダイオードPDの感度を可変としている。すなわち、フォトダイオードPDの感度を低下させたいときには、VOD電極11に高い+電圧を印加することにより、フォトダイオードPDの $n+$ 層13と n 型基板10の間の p 型領域12の電位障壁を下げてフォトダイオードPDの発生電荷を n 型基板10に逃がすようにしている。フォトダイオードPDと垂直転送CCDの間にも $p+$ 層14'の電位障壁が存在するが、第1の垂直転送電極

aに所定の+電圧を印加しておくことによりp+層14'の電位障壁を下げてフォトダイオードPDに発生した電荷を垂直転送電極aの下に集めることができる。VOD電極11に高い+電圧が印加されている場合には、フォトダイオードPDで発生した電荷は垂直転送CCDにも少しは流れるが、主に比較的電子のポテンシャルが低いn型基板10の方に捨てられることになるので、フォトダイオードPDの感度(光電変換効率)は実質的に低下する。この光電子廃棄期間を同期積分休止期間(非検出位相)とする。また、VOD電極11の印加電圧を低下させて光電子の廃棄をやめると、フォトダイオードPDで発生した電荷は垂直転送CCDに効率良く流れて、垂直転送電極の下に蓄積されることになる。この光電子蓄積期間を同期積分期間(検出位相)とする。

10

【0021】

VOD型IT-CCDによる光電子の蓄積、廃棄、読み出しの各期間の動作を図11に示し説明する。光電子の蓄積期間では、VOD電極11の印加電圧は低く、また、フォトダイオードPDの隣に形成されている垂直転送電極aには十分高い電圧V1を与えて、図11(a)に示すように、垂直転送電極下のn層15のポテンシャルを下げるとともに、n層15とn+層13との間に形成されているp+層14'による電位障壁を崩す。これは図1(c)の電気スイッチSが閉じていることに相当する。この場合、n+層13で発生した光電子は垂直転送電極下のn層15に蓄積される。

【0022】

光電子の廃棄期間では、n型基板10に接続されたVOD電極11に高い+電圧Vsを印加し、n型基板10のポテンシャルを下げる。印加電圧Vsが十分高い場合、図11(b)に示すように、n型基板10とn+層13の間に形成されたp型領域12による電位障壁が崩れ、n+層13で発生した光電子の多くはn型基板10に廃棄される。このとき、垂直転送電極aには、光電子の蓄積期間と同様、電圧V1を印加したままにしておく。これは図1(c)の電気スイッチSが閉じたままであることに相当する。垂直転送電極下のn層15のポテンシャルよりもn型基板10のポテンシャルの方が低くなるようにVOD電極11の印加電圧Vsを設定すると、n+層13で発生した光電子はポテンシャルの低い方へ引き寄せられるため、大部分は垂直転送電極a側へ行くことなく、VOD電極11(n型基板10)へ廃棄される。また、光電子の蓄積期間中に垂直転送電極下のn層15に蓄積された光電子は、n+層13の電位障壁があるため、VOD電極11(n型基板10)側に廃棄されることはない。

20

30

【0023】

光電子の蓄積期間(図11(a))と光電子の廃棄期間(図11(b))とは照射光の一周期内で交番し、例えば図2(b)のように、特定の検出位相(同期積分期間)でのみ光電子の蓄積を行い、残りの非検出位相(積分休止期間)では(蓄積部の光電子は残したまま感光部で発生する)光電子を廃棄する。この動作を照射光の複数の周期にわたり繰り返すことにより、図4のA0に相当する検出値が各画素ごとに得られる。この検出値をひとまず読み出す。

【0024】

蓄積された光電子の読み出し期間では、図11(c)に示すように、垂直転送CCDのn層15とフォトダイオードPDのn+層13との間にp+層14'による電位障壁を発生させるように、垂直転送電極aの電圧V1を低く設定し、転送電圧V1~V4に4相の転送クロックを与えて、蓄積された信号電荷を読み出す。これは、図1(b)の電気スイッチSが開いた状態に相当する。

40

【0025】

このようにして、図4のA0に相当する検出値が各画素ごとに得られると、次に、図2(c)のように、検出位相を90度ずらして、光電子の蓄積と廃棄を照射光の複数の周期にわたり繰り返すことにより、図4のA1に相当する検出値が各画素毎に得られる。この検出値を読み出すと、今度は図2(d)、さらには図2(e)のように、検出位相を180度、270度というようにずらして行き、光電子の蓄積と廃棄を照射光の複数の周期にわたり繰り返すことにより、図4のA2、A3に相当する検出値が各画素毎に得られる。な

50

お、各回の同期積分の回数は同じにすることは言うまでも無い。

【0026】

検出位相をずらす順番は上記に限定されるものではない。たとえば、測距演算の計算式： $\Psi = \arctan \{ (A3 - A1) / (A0 - A2) \}$ に合わせて、最初に A3 の検出値を求めて第 1 の画像メモリに蓄積し、次に A1 の検出値を求めて (A3 - A1) を同じ第 1 の画像メモリに上書きする。次に、A0 の検出値を求めて第 2 の画像メモリに蓄積し、さらに A2 の検出値を求めて (A0 - A2) を同じ第 2 の画像メモリに上書きする。というようにすれば、画像メモリの記憶容量は半分で済むことになる。

【0027】

また、検出位相は必ずしも図 2 (b) ~ (e) のように一周期中の限られた狭い期間とする必要はなく、S/N 比を高めるために、検出位相を広くしても構わない。例えば、一周期中の半分を検出位相、残りの半分を非検出位相として測定した第 1 の画像と、この第 1 の画像とは検出位相と非検出位相を入れ替えて測定した第 2 の画像とを比較するだけでも遠近の情報は得ることができる。

【0028】

さらに、強度変調された照射光についても、振幅が正弦波である必要はなく、矩形波や三角波で強度変調されていても構わない。

また、強度変調された照射光は可視光である必要はなく、目に見えない近赤外光とすれば、夜間の監視用途などに利用できる。

【0029】

ところで、縦型オーバーフロードレイン電極を有する CCD は、フォトダイオード PD の受光面積を大きくできる半面、フォトダイオード PD の n+ 領域を深くまで形成できないので、近赤外光に対する感度が低くなる欠点がある。そこで、この欠点を解消するために、フォトダイオード PD の n+ 領域を深くまで形成できる横型オーバーフロードレイン (LOD) 電極を有する IT-CCD について次に説明する。

【0030】

(実施の形態 2)

図 12 は横型オーバーフロードレイン (LOD) を有するインターライン・トランスファ型 CCD (IT-CCD) の構成を示している。p 型基板 22 の表面には、垂直方向に複数本の n 型領域 20 が形成されており、各 n 型領域 20 は、アルミニウム電極よりなる LOD 電極 21 に接続されている。LOD 電極 21 には制御電圧 V_s が印加されている。各 n 型領域 20 に隣接して p 型基板 22 の表面に複数のフォトダイオードが分離して形成されている。図中、PD と記した部分はフォトダイオードであり、このフォトダイオード PD が形成された部分以外の表面は遮光膜で覆われている。図 12 では垂直方向に 3 列、水平方向に 4 行のフォトダイオード PD を図示しているが、実際にはより多数のフォトダイオード PD が形成されている。各フォトダイオード PD に隣接して形成された電極 a, b, c, d ならびに a', b', c', d' は垂直転送 CCD の電極であり、この電極の下にフォトダイオード PD で発生した信号電荷を蓄積し、蓄積された信号電荷を 4 相の垂直転送電圧 V_1, V_2, V_3, V_4 により水平転送 CCD に転送する。(各列のフォトダイオード PD に隣接して形成された垂直転送 CCD の電極は、水平方向に並んだ電極に同じ垂直転送電圧が印加されるように図示しない配線を介して接続されている。) 水平転送 CCD は 2 相の水平転送電圧 V_{H1}, V_{H2} により電荷を転送するための水平転送電極 e, f, e', f', e'', f'' を備えている。IT-CCD では、垂直転送は 4 相クロック、水平転送は 2 相クロックで行うことが極めて一般的であり、その電荷転送の仕組みについては周知のものであるので、詳しい説明は省略する。

【0031】

図 13 はフォトダイオード PD と垂直転送電極 a, b の周辺の断面構造を示している。上述のように、p 型基板 22 の表面には、LOD 電極 21 に接続された n 型領域 20 が形成されており、この n 型領域 20 に隣接してフォトダイオード PD が形成されている。各フォトダイオード PD は n+ 領域 23 と p 型基板 22 とから構成されている。フォトダイオ

10

20

30

40

50

ードPDの表面にはp+層24が形成されている。このp+層24の効果について説明すると、基板表面の結晶構造は結晶性が悪く、エネルギーの安定性が悪い（エネルギーが活性である）ので、熱励起により電子-正孔対が発生し易く、これが暗電流となって信号電荷のS/N比を悪くする一因となる。この影響を防ぐために、信号電荷が表面付近を通らないようにすることが、p+層24の役割であり、この構造を有するフォトダイオードは、埋め込みフォトダイオードなどと呼ばれている。各フォトダイオードPDに隣接して、p型基板22の表面に垂直転送CCDを構成するn層25が形成されている。このn層25の表面には、SiO₂よりなる絶縁薄膜26を介して、ポリシリコンゲート電極よりなる垂直転送電極a, bが形成されている。このポリシリコンゲート電極は絶縁薄膜26を介して形成されているので、形状の割りに静電容量が大きく、静電容量が大きい場合は数十MHzの高周波でスイッチングすることは困難である。なお、フォトダイオードPDと垂直転送電極c, dの周辺の断面構造も図13と同様である。

10

【0032】

図13のA-A'線についての断面構造は図9と同じである。第1の垂直転送電極a, cはフォトダイオードPDから垂直転送CCDへの電荷読み出しと垂直転送の役割を果たす。第2の垂直転送電極b, dは垂直転送の役割を果たす。垂直転送電極a, b, c, dの上部には遮光膜27が形成されている。また、LOD電極21に接続されたn型領域20の上部にも遮光膜27が形成されている。

【0033】

図14は図13の太い破線に沿って電子のポテンシャルを示している。つまり、垂直転送CCDのn層25からp+層24'（厳密には基板表面のp+層24とは別工程で形成されている）、フォトダイオードPDのn+層23、p+層24'、LOD電極21に接続されたn型領域20に沿って電子のポテンシャルを示したものである。フォトダイオードPDと垂直転送CCDの間のp+層24'の電位障壁（図14の右側の破線で示す）は垂直転送電極a, cの印加電圧を高くすることにより崩すことができる。また、フォトダイオードPDとn型領域20の間のp+層24'の電位障壁（図14の左側の破線で示す）はLOD電極21の印加電圧を高くすることにより崩すことができる。

20

【0034】

LOD型のIT-CCDにおいて、LOD電極を設けている本来の理由は、フォトダイオードPDに非常に強い光が入射したときに、過剰な信号電荷をフォトダイオードPDに隣接するn型領域20に逃がすためであるが、本発明では、信号電荷が過剰でなくても、フォトダイオードPDの感度を下げたいときには、信号電荷が過剰であることにして、n型領域20にオーバーフローさせてしまうことにより、フォトダイオードPDの感度を可変としている。すなわち、フォトダイオードPDの感度を低下させたいときには、LOD電極21に高い+電圧を印加することにより、フォトダイオードPDのn+層23とn型領域20の間のp+層24'の電位障壁を下げてフォトダイオードPDの発生電荷をn型領域20に逃がすようにしている。フォトダイオードPDと垂直転送CCDの間にもp+層24'の電位障壁が存在するが、第1の垂直転送電極aに所定の+電圧を印加しておくことによりp+層24'の電位障壁を下げてフォトダイオードPDに発生した電荷を垂直転送電極aの下に集めることができる。LOD電極21に高い+電圧が印加されている場合には、フォトダイオードPDで発生した電荷は垂直転送CCDにも少しは流れるが、主にn型領域20の方に捨てられることになるので、フォトダイオードPDの感度（光電変換効率）は実質的に低下する。この光電子廃棄期間を同期積分休止期間（非検出位相）とする。また、LOD電極21の印加電圧を低下させて光電子の廃棄をやめると、フォトダイオードPDで発生した電荷は垂直転送CCDに効率良く流れて、垂直転送電極の下に蓄積されることになる。この光電子蓄積期間を同期積分期間（検出位相）とする。

30

40

【0035】

LOD型IT-CCDによる光電子の蓄積、廃棄、読み出しの各期間の動作を図15に示し説明する。光電子の蓄積期間では、LOD電極21の印加電圧は低く、また、フォトダイオードPDの隣に形成されている垂直転送電極aに十分高い電圧V₁を与えて、図15

50

(a)に示すように、垂直転送電極下の n 層25のポテンシャルを下げるとともに、 n 層25と $n+1$ 層23との間に形成されている $p+$ 層24'による電位障壁を崩す。これは図1(c)の電気スイッチSが閉じていることに相当する。この場合、 $n+1$ 層23で発生した光電子は垂直転送電極下の n 層25に蓄積される。

【0036】

光電子の廃棄期間では、 n 型領域20に接続されたLOD電極21に高い+電圧 V_s を印加し、 n 型領域20のポテンシャルを下げる。印加電圧 V_s が十分高い場合、図15(b)に示すように、 n 型領域20と $n+1$ 層23の間に形成された $p+$ 層24'による電位障壁が崩れ、 $n+1$ 層23で発生した光電子の多くは n 型領域20に廃棄される。このとき、垂直転送電極aには、光電子の蓄積期間と同様、電圧 V_1 を印加したままにしておく。これは図1(c)の電気スイッチSが閉じたままであることに相当する。垂直転送電極下の n 層25のポテンシャルよりも n 型領域20のポテンシャルの方が低くなるようにLOD電極21の印加電圧 V_s を設定すると、 $n+1$ 層23で発生した光電子はポテンシャルの低い方へ引き寄せられるため、大部分は垂直転送電極a側へ行くことなく、 n 型領域20を介してLOD電極21へ廃棄される。また、光電子の蓄積期間中に垂直転送電極下の n 層25に蓄積された光電子は、 $n+1$ 層23の電位障壁があるため、LOD電極21(n 型領域20)側に廃棄されることはない。

【0037】

光電子の蓄積期間(図15(a))と光電子の廃棄期間(図15(b))とは照射光の一周期内で交番し、例えば図2(b)のように、特定の検出位相(同期積分期間)でのみ光電子の蓄積を行い、残りの非検出位相(積分休止期間)では光電子を廃棄する。この動作を照射光の複数の周期にわたり繰り返すことにより、図4のA0に相当する検出値が各画素ごとに得られる。この検出値をひとまず読み出す。

【0038】

蓄積された光電子の読み出し期間では、図15(c)に示すように、垂直転送CCDの n 層25とフォトダイオードPDの $n+1$ 層23との間に $p+$ 層24'による電位障壁を発生させるように、垂直転送電極aの電圧 V_1 を低く設定し、転送電圧 $V_1 \sim V_4$ に4相の転送クロックを与えて、蓄積された信号電荷を読み出す。これは、図1(b)の電気スイッチSが開いた状態に相当する。

【0039】

このようにして、図4のA0に相当する検出値が各画素ごとに得られると、次に、図2(c)のように、検出位相を90度ずらして、光電子の蓄積と廃棄を照射光の複数の周期にわたり繰り返すことにより、図4のA1に相当する検出値が各画素毎に得られる。この検出値を読み出すと、今度は図2(d)、さらには図2(e)のように、検出位相を180度、270度というようにずらして行き、光電子の蓄積と廃棄を照射光の複数の周期にわたり繰り返すことにより、図4のA2、A3に相当する検出値が各画素毎に得られる。なお、各回の同期積分の回数は同じにすることは言うまでも無い。

【0040】

ところで、横型オーバーフローレイン電極を有するIT-CCDでは、フォトダイオードPDを形成する $n+$ 領域23を p 型基板22の深くまで形成することができるので、近赤外線に対する検出感度を高めることができる利点がある。その反面、フォトダイオードPDに隣接してLOD電極21に接続された n 型領域20を設ける面積が必要であり、その分、フォトダイオードPDの受光面積が狭くなるので、開口率が減少する欠点がある。また、IT-CCDでは、フォトダイオードPDに隣接して垂直転送CCDを設ける必要があるため、その分、フォトダイオードPDの受光面積は制限される。そこで、フォトダイオードPDそのものに転送機能を持たせて受光面積を広くしたFT-CCDについて次に説明する。

【0041】

(実施の形態3)

図16は縦型オーバーフローレイン(VOD)電極を有するフレーム・トランスファ型

10

20

30

40

50

C.C.D (F.T-C.C.D)の構成を示している。n型基板30の表面には、アルミニウム電極よりなる縦型オーバーフローライン(VOD)電極31が絶縁膜を介さず基板に直接接触するように形成されている。VOD電極31には制御電圧 V_s が印加されている。n型基板30の表面のVOD電極31で囲まれた部分にはp型領域32が形成されている。このp型領域32には、複数本の垂直方向に長いn型領域35が形成されている。図16の破線で囲まれた部分は1画素分のフォトダイオードPDを構成しており、その断面構造を図17に示す。

【0042】

n型領域35の表面には、 SiO_2 よりなる絶縁薄膜36を介して、n型領域35の長手方向に沿って複数個のポリシリコンゲート電極a, b, cが形成されている。各ポリシリコンゲート電極a, b, cはn型領域35の長手方向とは垂直方向に伸びるように形成されており、3個のゲート電極a, b, cで一つの画素を構成している。図16では限られた個数の画素しか図示していないが、実際には水平方向および垂直方向の解像度に応じた個数の画素が構成されるものである。

10

【0043】

ポリシリコンゲート電極a, b, cおよび SiO_2 よりなる絶縁薄膜36は光を透過するので、n型領域35には光電子が発生する。ただし、図16の撮像部以外の部分は遮光膜で覆われており、蓄積部や水平転送部には光電子は発生しない。蓄積部は垂直帰線期間中に撮像部の信号電荷を一括して高速転送され、蓄積部に蓄積された信号電荷を次の垂直帰線期間までの間に水平転送部を介して読み出すものである。蓄積部のゲート電極に印加される電圧 $\phi_1 \sim \phi_3$ は撮像部のゲート電極に印加される電圧 $V_1 \sim V_6$ とは分離されており、蓄積部から水平転送部を介して画像信号を読み出している途中においても撮像部において信号電荷の蓄積が可能である。したがって、フレイム・トランスファ型C.C.Dを用いると、インターライン・トランスファ型C.C.Dを用いる場合に比べて同期積分の蓄積時間を長く取ることが可能となる。この例では、 $V_1 \sim V_6$ の6相の転送電圧を用いて撮像部から蓄積部に信号電荷を転送可能としている。一方、蓄積部から水平転送部には、 $\phi_1 \sim \phi_3$ の3相の転送電圧を用いて信号電荷を転送可能としている。(撮像部および蓄積部の各ゲート電極は、水平方向に並んだ電極に同じ転送電圧 $V_1 \sim V_6$ 、 $\phi_1 \sim \phi_3$ が印加されるように図示しない配線を介して接続されている。)水平転送部は上述した水平転送C.C.Dと同じものであるので、詳細な説明は省略するが、ここでも VH_1 , VH_2 の2相の転送電圧を用いて信号電荷を転送可能としている。

20

30

【0044】

図18は図17の破線に沿って電子のポテンシャルを示している。光電子が発生するn型領域35とn型基板30の間には、図18の破線で示すように、p型領域32による電位障壁が存在するが、n型基板30に接続されたVOD電極31に高い+電圧を印加すると、この電位障壁を崩すことができ、n型領域35からn型基板30に信号電荷(光電子)を捨てることができる。

【0045】

光電子の蓄積期間では、VOD電極31の印加電圧 V_s は低くしておき、n型領域35とn型基板30の間に、p型領域32による電位障壁が存在するようにしておく。また、図19(イ)のように、1画素につき3枚のゲート電極a, b, cを使用し、中央のゲート電極bに最も高い+電圧を印加することでゲート電極b下で発生した光電子のみならずゲート電極a, c下で発生した光電子もゲート電極b下のポテンシャル井戸に蓄積する。この様子を図19(ハ)に示す。図19(ハ)は図19(イ)の太い一点鎖線についての電子のポテンシャルを示したものである。また、図19(ニ)は図19(ロ)の太い破線についての電子のポテンシャルを各ゲート電極a, b, cについて示している。

40

【0046】

光電子の廃棄期間では、VOD電極31に高い+電圧を印加し、図19(ニ)に示すように、n型領域35とn型基板30の間のp型領域32による電位障壁の高さを破線から実線に示すように下げる。このとき、VOD電極31に印加する電圧は、n型基板30のポ

50

テンシャルがゲート電極bのn型領域35のポテンシャルよりも高く、且つゲート電極a、c下のn型領域35のポテンシャルよりも低くなるように設定する。ゲート電極a、b、cに印加される電圧は、光電子の蓄積期間と同様であり、中央のゲート電極bには両側のゲート電極a、cよりも高い+電圧が印加されているので、両側のゲート電極a、cの下ではp型領域32による電位障壁は完全に崩されるが、中央のゲート電極bの下ではp型領域32による電位障壁は高さが低くなるだけで完全には崩されない。このため、両側のゲート電極a、cの下で発生した光電子の多くはn型基板30に廃棄されるが、中央のゲート電極bの下で発生した光電子は廃棄されないし、光電子の蓄積期間において中央のゲート電極bの下に蓄積された光電子も廃棄されない。

【0047】

上述の光電子の蓄積と廃棄を複数回繰り返すと、中央のゲート電極bの下には、光電子の蓄積期間において両側のゲート電極a、bから中央のゲート電極bに蓄積された光電子が余分に蓄積されることになる。中央のゲート電極bは常に光電子を蓄積しているので、この常時積分による平均値が同期積分による検出値に加算されることになるが、それでも両側のゲート電極a、bから同期積分による検出値を得ているので、十分なコントラストを得ることができる。

【0048】

また、例えば照射光の一周期のうち、半分を光電子の蓄積期間とし、残りの半分を光電子の廃棄期間として同期積分した画像を、照射光に対する光電子の蓄積期間の位相をずらしながら複数枚観測することによっても距離情報を算出することはできるので、この例のように光電子の蓄積期間が長い用途では、コントラストが高くなるからFT-CCDを利用できる。

【0049】

さらに、3枚のゲート電極に限らず、5枚、7枚といった多数枚のゲート電極で1画素を構成し、中央の1枚のゲート電極に光電子を集中させるようにすれば、周囲のゲート電極から集めた同期積分による検出値の成分が、中央のゲート電極における常時積分による平均値の成分よりも相対的に大きくなり、コントラストをさらに改善できる。

【0050】

なお、縦型オーバーフロードレイン電極31はp型領域32の周囲のn型基板30にp型領域32を取り囲むようにアルミニウム電極を形成する必要があるので、p型領域32はエピタキシャル成長により形成することはできない。拡散法により形成した場合は、p型領域をあまり深くまで形成できない。したがって、フォトダイオードとなるn型領域35はp型領域32よりもさらに浅く形成されることになり、近赤外線に対する感度は低い。この欠点を解消するために、フォトダイオードPDのn+領域を深くまで形成できる横型オーバーフロードレイン(LOD)電極を有するFT-CCDについて次に説明する。

【0051】

(実施の形態4)

図20は横型オーバーフロードレイン(LOD)電極を有するフレーム・トランスファ型CCD(FT-CCD)の構成を示している。図20の破線で囲まれた部分は1画素分のフォトダイオードPDを構成しており、その断面構造を図21に示す。p型基板42の表面には、フォトダイオードとなるn型領域45を深く形成できるように、エピタキシャル成長によりp型領域42'が形成されている。フォトダイオードとなるn型領域45を深く形成できることにより、近赤外光に対する感度を高くできる特徴がある。フォトダイオードとなるn型領域45に隣接してp+領域44が形成されており、このp+領域44に横型オーバーフロードレインとなるn型領域40が形成されている。フォトダイオードとなるn型領域45と横型オーバーフロードレインとなるn型領域40は、隣接して基板の垂直転送方向に長く延びており、各n型領域40はアルミニウム電極よりなる横型オーバーフロードレイン(LOD)電極41に接続されている。LOD電極41には制御電圧Vsが印加されている。

【0052】

10

20

30

40

50

n型領域45の表面には、 SiO_2 よりなる絶縁薄膜46を形成して、n型領域45の長手方向に沿って複数個のポリシリコンゲート電極a, b, cが形成されている。各ポリシリコンゲート電極a, b, cはn型領域45の長手方向とは垂直方向に伸びるように形成されており、3個のゲート電極a, b, cで一つの画素を構成している。図20では限られた個数の画素しか図示していないが、実際には水平方向および垂直方向の解像度に応じた個数の画素が構成されるものである。

【0053】

ポリシリコンゲート電極a, b, cおよび SiO_2 よりなる絶縁薄膜46は光を透過するので、n型領域45には光電子が発生する。ただし、図20の撮像部以外の部分は遮光膜で覆われており、蓄積部や水平転送部には光電子は発生しない。蓄積部は垂直帰線期間中に撮像部の信号電荷を一括して高速転送され、蓄積部に蓄積された信号電荷を次の垂直帰線期間までの間に水平転送部を介して読み出すものである。蓄積部のゲート電極に印加される電圧 $\phi_1 \sim \phi_3$ は撮像部のゲート電極に印加される電圧 $V_1 \sim V_6$ とは分離されており、蓄積部から水平転送部を介して画像信号を読み出している途中においても撮像部において信号電荷の蓄積が可能である。したがって、フレーム・トランスファ型CCDを用いると、インターライン・トランスファ型CCDを用いる場合に比べて同期積分の蓄積時間を長く取ることが可能となる。この例では、 $V_1 \sim V_6$ の6相の転送電圧を用いて撮像部から蓄積部に信号電荷を転送可能としている。一方、蓄積部から水平転送部には、 $\phi_1 \sim \phi_3$ の3相の転送電圧を用いて信号電荷を転送可能としている。（撮像部および蓄積部の各ゲート電極は、水平方向に並んだ電極に同じ転送電圧 $V_1 \sim V_6$ 、 $\phi_1 \sim \phi_3$ が印加されるように図示しない配線を介して接続されている。）水平転送部は上述した水平転送CCDと同じものであるので、詳細な説明は省略するが、ここでも V_{H1} , V_{H2} の2相の転送電圧を用いて信号電荷を転送可能としている。

【0054】

図22は図21の破線に沿って電子のポテンシャルを示している。光電子が発生するn型領域45とこれにp+領域44を介して隣接するn型領域40の間には、図22の破線で示すように、p+領域44による電位障壁が存在するが、n型領域40に接続されたLOD電極41に高い+電圧を印加すると、この電位障壁を崩すことができ、n型領域45からn型領域40を経てLOD電極41に信号電荷（光電子）を捨てることができる。

【0055】

光電子の蓄積期間では、LOD電極41の印加電圧 V_s は低くしておき、n型領域45とn型領域40の間に、p+領域44による電位障壁が存在するようにしておく。また、図23（イ）のように、1画素につき3枚のゲート電極a, b, cを使用し、中央のゲート電極bに最も高い+電圧を印加することでゲート電極b下で発生した光電子のみならずゲート電極a, c下で発生した光電子もゲート電極b下のポテンシャル井戸に蓄積する。この様子を図23（ハ）に示す。図23（ハ）は図23（イ）の太い一点鎖線についての電子のポテンシャルを示したものである。また、図23（ニ）は図23（ロ）の太い破線についての電子のポテンシャルを各ゲート電極a, b, cについて示している。

【0056】

光電子の廃棄期間では、LOD電極41に高い+電圧を印加し、図23（ニ）に示すように、n型領域45とn型領域40の間のp+領域44による電位障壁の高さを下げる。このとき、LOD電極41に印加する電圧 V_s は、n型領域40のポテンシャルがゲート電極b下のn型領域45のポテンシャルよりも高く、且つゲート電極a, c下のn型領域45のポテンシャルよりも低くなるように設定する。ゲート電極a, b, cに印加される電圧は、光電子の蓄積期間と同様であり、中央のゲート電極bには両側のゲート電極a, cよりも高い+電圧が印加されているので、両側のゲート電極a, cの下ではp+領域44による電位障壁は完全に崩されるが、中央のゲート電極bの下ではp+領域44による電位障壁は高さが低くなるだけで完全には崩されない。このため、両側のゲート電極a, cの下で発生した光電子の多くはn型領域40に廃棄されるが、中央のゲート電極bの下で発生した光電子は廃棄されないし、光電子の蓄積期間において中央のゲート電極bの下に

蓄積された光電子も廃棄されない。

【0057】

上述の光電子の蓄積と廃棄を複数回繰り返すと、中央のゲート電極bの下には、光電子の蓄積期間において両側のゲート電極a, bから中央のゲート電極bに蓄積された光電子が余分に蓄積されることになる。中央のゲート電極bは常に光電子を蓄積しているので、この常時積分による平均値が同期積分による検出値に加算されることになるが、それでも両側のゲート電極a, bから同期積分による検出値を得ているので、十分なコントラストを得ることができる。

【0058】

図16～図23に示した実施の形態3, 4では、3枚のゲート電極で1画素を構成する場合について説明したが、図24や図25に示すように、4枚以上のゲート電極で1画素を構成する場合には、電荷を廃棄する期間に、光電子を蓄積しているゲート電極に周囲から光電子が流入しないように、電位障壁を形成すると良い。図24は4枚のゲート電極で1画素を構成する場合、図25は6枚のゲート電極で1画素を構成する場合であり、(a)は電荷蓄積期間、(b)は電荷廃棄期間における各ゲート電極下の電子のポテンシャルを示している。図24、図25において灰色で示した部分は光電子であり、(a)の電荷蓄積期間では、電子のポテンシャルが最も低いゲート電極下に周囲のゲート電極下で発生した光電子が流入して蓄積され、(b)の電荷廃棄期間では、電子のポテンシャルが最も低いゲート電極下の光電子が蓄積された部分を周囲から電氣的に孤立させるように、隣接するゲート電極下に電位障壁を形成するように制御している。

【0059】

図25に示した6枚のゲート電極で1画素を構成する場合について、電荷蓄積期間と電荷廃棄期間における各ゲート電極下の電子のポテンシャルを3次的に示すと、図27(a), (b)のようになる。図中のV1～V6は図20に示した垂直転送電圧に対応しており、LODは横型オーバーフローラインとなるn型領域40に対応している。図27(a)の電荷蓄積期間では、V2, V6の電圧を印加されたゲート電極下の光電子がV3, V5の電圧を印加されたゲート電極下に移動すると共に、V3, V5の電圧を印加されたゲート電極下の光電子はV4の電圧を印加されたゲート電極下に移動し、このV4の電圧を印加されたゲート電極下に光電子が蓄積される。図27(b)の電荷廃棄期間では、V3, V5の電圧をV1と同程度まで低くすることで、V4の電圧を印加されたゲート電極下の光電子が蓄積された部分は周囲から電氣的に孤立し、光電子の流入は阻止される。また、LOD電極の電子のポテンシャルを、V4の電圧を印加されたゲート電極よりも高く、且つV2, V6の電圧を印加されたゲート電極よりも低く設定することにより、V4の電圧を印加されたゲート電極下に蓄積された光電子は廃棄することなく、V2, V6の電圧を印加されたゲート電極下で発生した光電子はLOD電極に廃棄される。

【0060】

ところで、図25の例では、非検知位相の光電子の一部はV4の電圧を印加された蓄積用電極部(電子のポテンシャルが最も深い位置の電極)に流入する。また、蓄積用電極部自身も、非検出位相の光電子を発生し蓄積する。これら非検出位相の光電子は、検出位相の光電子に対してDC成分となり、S/N比を低下させる。そこで、図26に示すように、電荷蓄積用の感光部と電位障壁を形成する感光部の表面に遮光膜47を設ければ、同期積分に対する常時積分の比率を低減でき、同期積分のコントラストを改善できる。図26の例では、V2, V6の電圧を印加されるゲート電極下のみ光電子が発生するように、V1, V3, V4, V5の電圧を印加されるゲート電極の表面を遮光膜47で覆っている。

【0061】

なお、本発明はIT-CCDやFT-CCDに限らず、これらの複合型であるFIT-CCD(フレーム・インターライン・トランスファ型CCD)でも同様に適用できる。FIT-CCDは、図28に示すように、IT-CCDの水平転送部と撮像部の間に1画面分の蓄積部を追加したものであり、垂直転送電圧が2種類必要となり、動作は複雑になるが、IT-CCDの欠点であるスミアを低減できる利点がある。

10

20

30

40

50

【0062】

【発明の効果】

請求項1の発明によれば、強度変調された照射光に同期して感光部の感度を可変としたので、簡単な構成で光波測距を実現できる。

請求項2の発明によれば、強度変調された照射光に同期して感光部の感度を可変としたので、感光部から蓄積部への信号電荷の移送を高周波で開閉できる電気スイッチが必要なく、同期積分以外の用途の撮像素子でも利用可能である利点がある。

請求項3の発明によれば、CCD撮像素子として最も一般的な縦型オーバーフロードレイン電極を有するインターライン・トランスファ型CCD撮像素子を用いて同期積分と同じような動作を実現可能としたので、特殊な撮像素子を用いずに安価に光波測距を実現できる。

10

【0063】

請求項4または6の発明によれば、近赤外光に対する感度の高い横型オーバーフロードレイン電極を有するCCD撮像素子を用いて同期積分と同じような動作を実現可能としたので、暗視性能の高い測距が可能となる。

請求項5または6の発明によれば、フレーム・トランスファ型CCDを用いているので、インターライン・トランスファ型CCDを用いる場合に比べて同期積分の蓄積時間を長く取ることが可能となる。

【0064】

請求項7の発明によれば、電荷廃棄期間では、電荷蓄積用の感光部を他の感光部から電氣的に孤立させる電位障壁を形成するようにしたので、同期積分のコントラストを改善できる。

20

請求項8の発明によれば、電荷蓄積用の感光部と電位障壁を形成する感光部の表面に遮光部を設けたので、同期積分に対する常時積分の比率を低減でき、同期積分のコントラストを改善できる。

請求項9の発明によれば、感光部から蓄積部への信号電荷の移送を高周波で開閉できる電気スイッチを各センサ要素ごとに設けているので、検出位相の信号電荷のみを選択的に蓄積することができるから、同期積分のコントラストを改善できる。

請求項10の発明によれば、蓄積部を転送部として兼用するために設けられた転送電極を感光部から蓄積部への信号電荷の移送を高周波で開閉するための電気スイッチとしてさらに兼用したので、簡単な構成で同期積分の動作を実現できる。

30

【図面の簡単な説明】

【図1】本発明の基本構成を示す説明図であり、(a)は全体構成を示すブロック図、(b)は撮像素子の一例を示す要部構成図、(c)は撮像素子の他の一例を示す要部構成図である。

【図2】本発明の撮像素子による同期積分のタイミングを示す動作説明図である。

【図3】従来の光波測距に用いる光学系の概略構成図である。

【図4】従来の光波測距の原理説明図である。

【図5】従来の光波測距に用いる撮像素子の一例を示す要部構成図である。

【図6】従来の光波測距に用いる撮像素子の他の一例を示す要部構成図である。

40

【図7】本発明の実施の形態1の撮像素子の全体構成を示す平面図である。

【図8】本発明の実施の形態1の撮像素子の要部構成を示す斜視図である。

【図9】本発明の実施の形態1の撮像素子の要部構成を示す断面図である。

【図10】本発明の実施の形態1の撮像素子の電子のポテンシャルを示す説明図である。

【図11】本発明の実施の形態1の撮像素子の動作説明図である。

【図12】本発明の実施の形態2の撮像素子の全体構成を示す平面図である。

【図13】本発明の実施の形態2の撮像素子の要部構成を示す斜視図である。

【図14】本発明の実施の形態2の撮像素子の電子のポテンシャルを示す説明図である。

【図15】本発明の実施の形態2の撮像素子の動作説明図である。

【図16】本発明の実施の形態3の撮像素子の全体構成を示す平面図である。

50

- 【図 17】 本発明の実施の形態 3 の撮像素子の要部構成を示す説明図である。
- 【図 18】 本発明の実施の形態 3 の撮像素子の電子のポテンシャルを示す説明図である。
- 【図 19】 本発明の実施の形態 3 の撮像素子の動作説明図である。
- 【図 20】 本発明の実施の形態 4 の撮像素子の全体構成を示す平面図である。
- 【図 21】 本発明の実施の形態 4 の撮像素子の要部構成を示す斜視図である。
- 【図 22】 本発明の実施の形態 4 の撮像素子の電子のポテンシャルを示す説明図である。
- 【図 23】 本発明の実施の形態 4 の撮像素子の動作説明図である。
- 【図 24】 4 相のゲート電圧を用いた F T - C C D の動作を示す説明図である。
- 【図 25】 6 相のゲート電圧を用いた F T - C C D の動作を示す説明図である。
- 【図 26】 6 相のゲート電圧を用いた F T - C C D の感光部に遮光膜を付加した場合の動作を示す説明図である。
- 【図 27】 6 相のゲート電圧を用いた F T - C C D の動作を 3 次元的に示す説明図である。

10

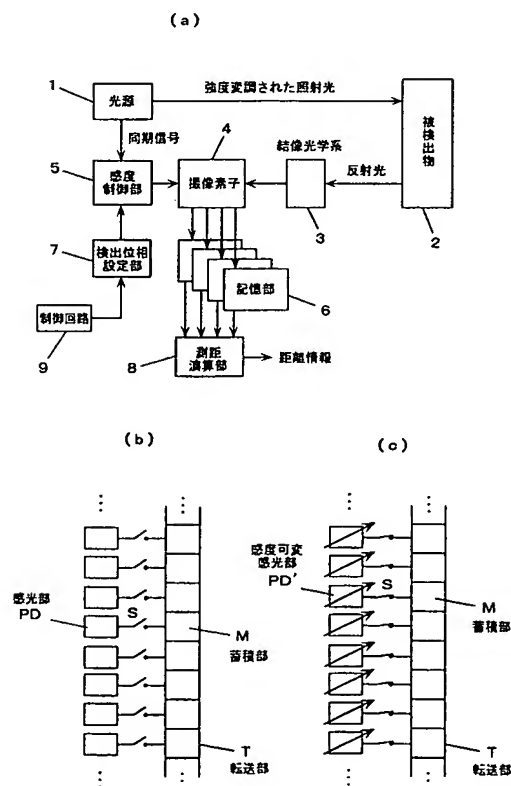
20

【図 28】 F I T - C C D の全体構成を示す平面図である。

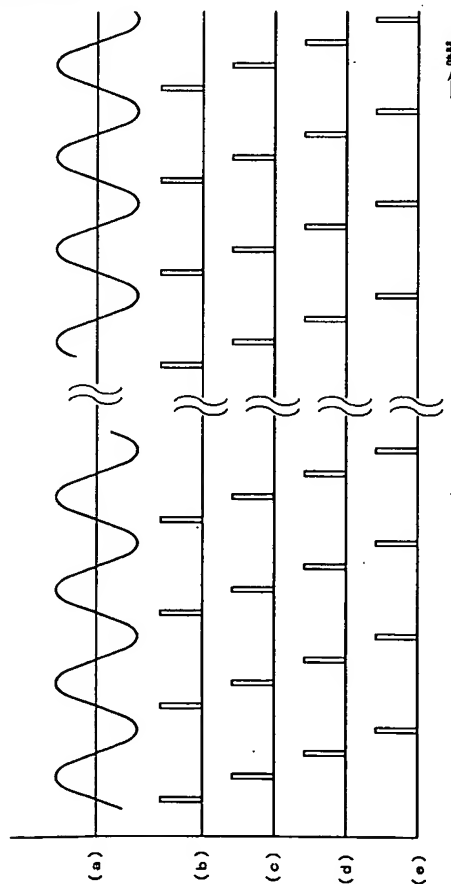
【符号の説明】

- 1 光源
- 2 被検出物
- 3 結像光学系
- 4 撮像素子
- 5 感度制御部
- 6 記憶部
- 7 検出位相設定部
- 8 測距演算部

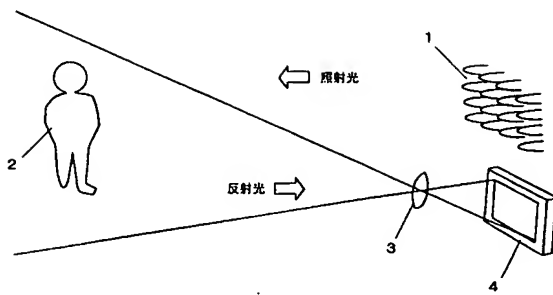
【図 1】



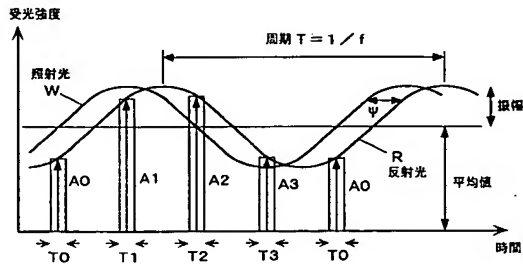
【図 2】



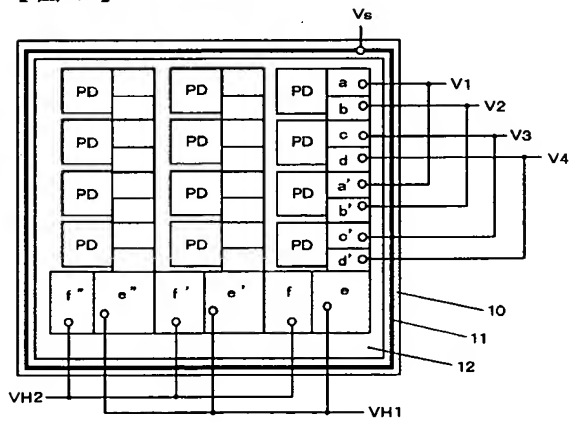
【図 3】



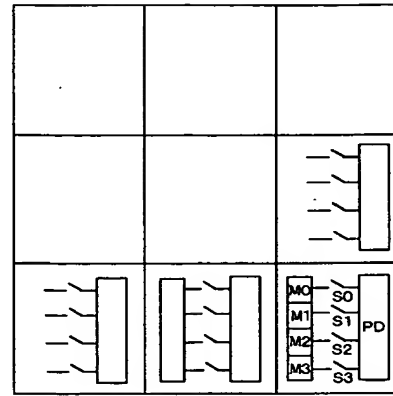
【図 4】



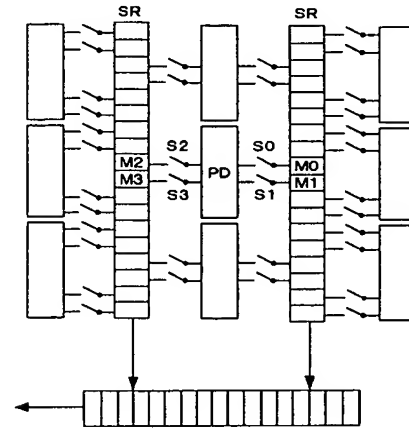
【図 7】



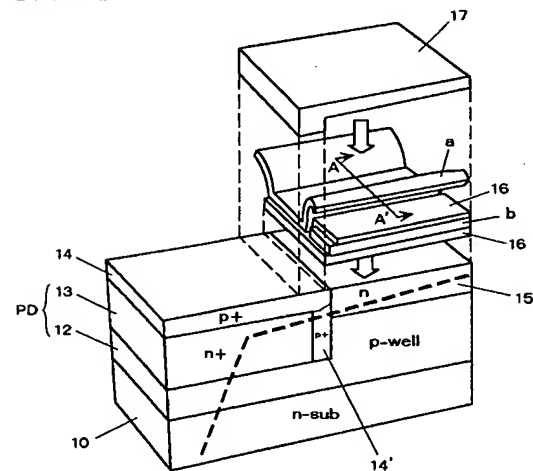
【図 5】



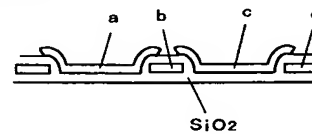
【図 6】



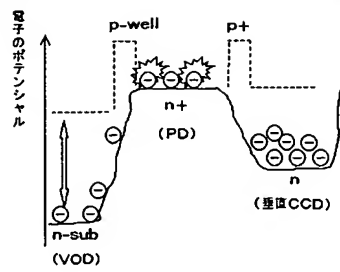
【図 8】



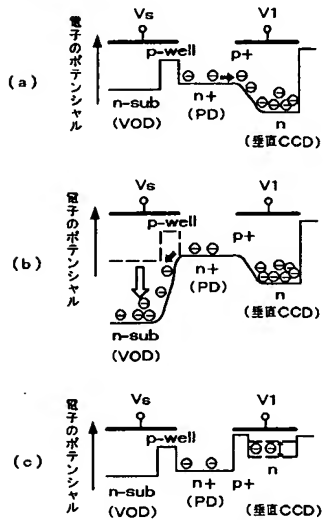
【図 9】



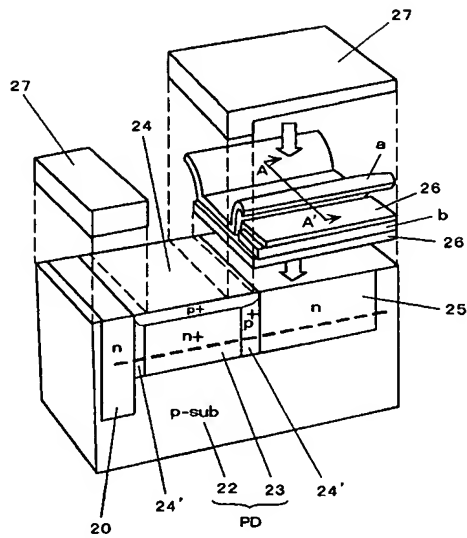
【図 10】



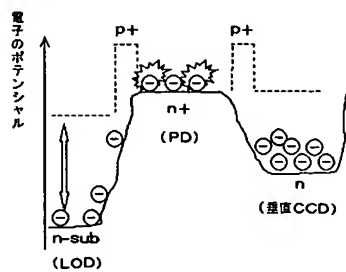
【図 11】



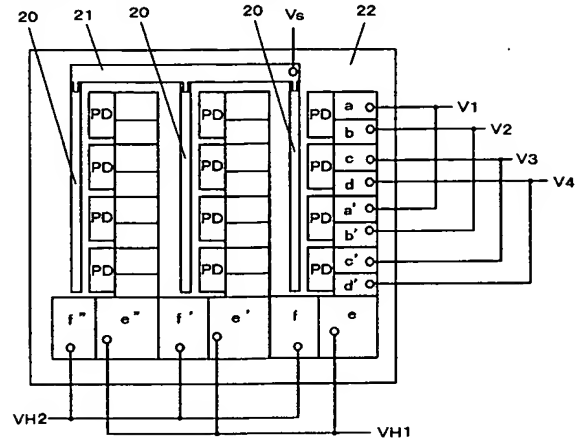
【図 13】



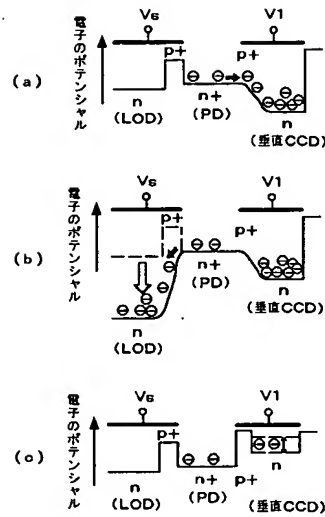
【図 14】



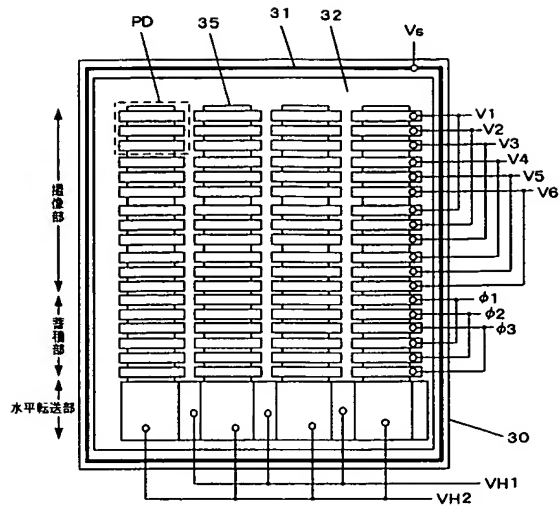
【図 12】



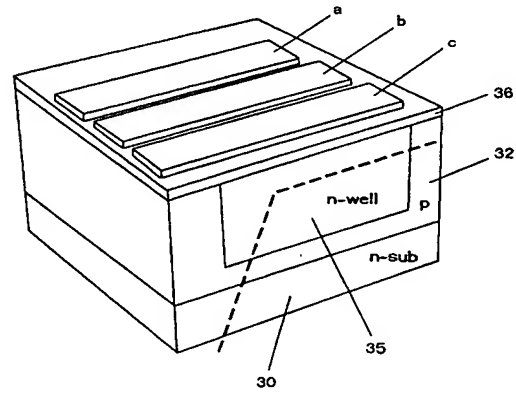
【図 15】



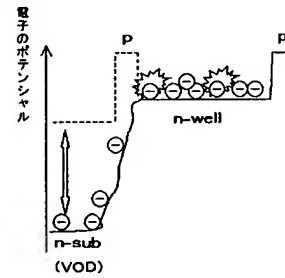
【図 16】



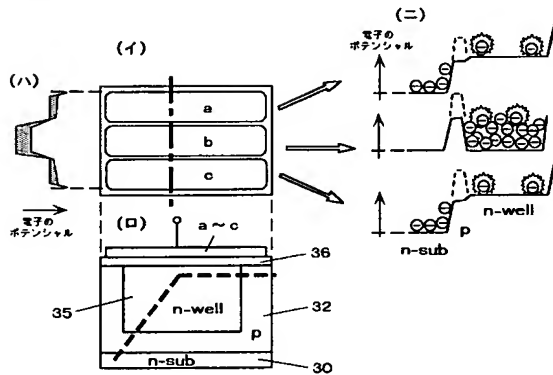
【図 17】



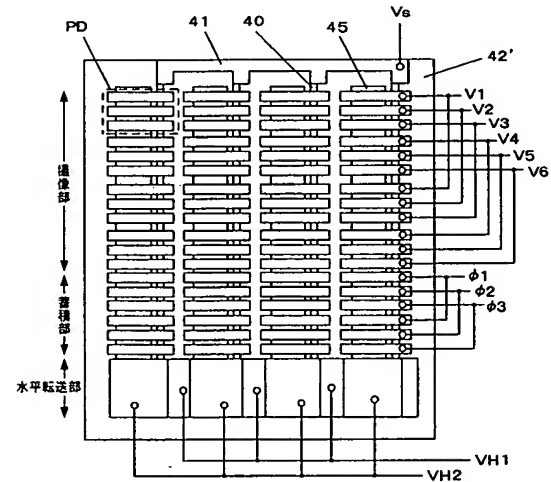
【図 18】



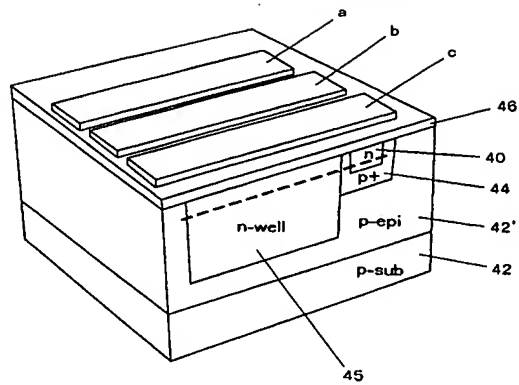
【図 19】



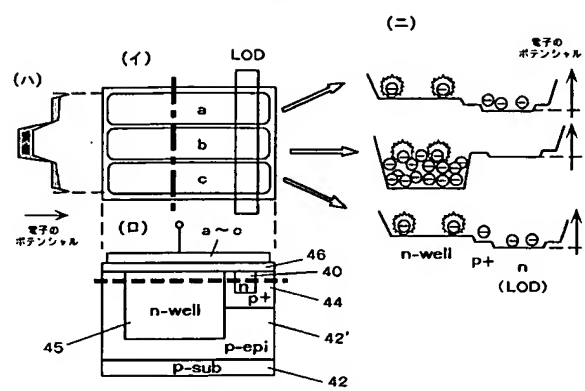
【図 20】



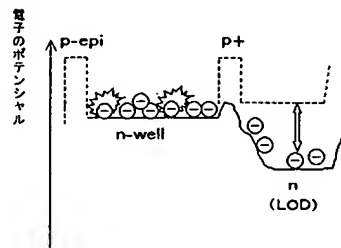
【図 2 1】



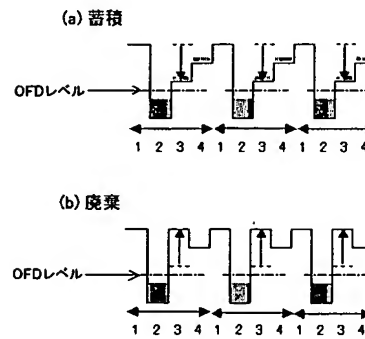
【図 2 3】



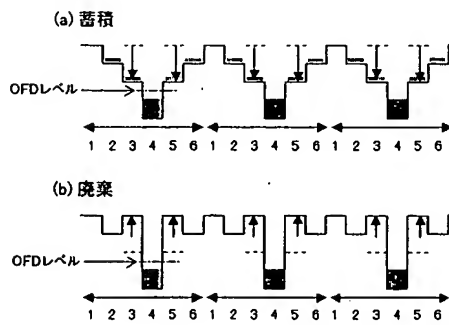
【図 2 2】



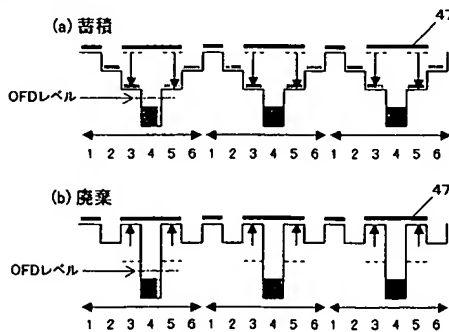
【図 2 4】



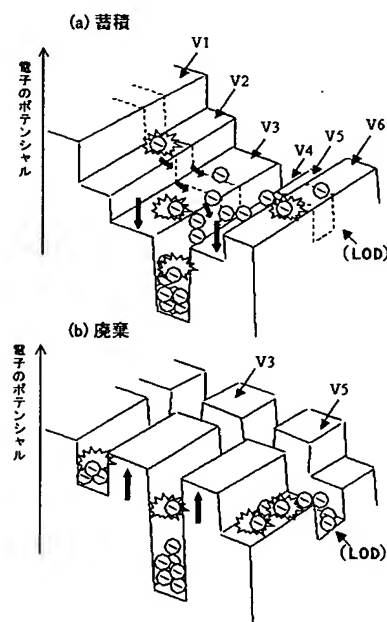
【図 2 5】



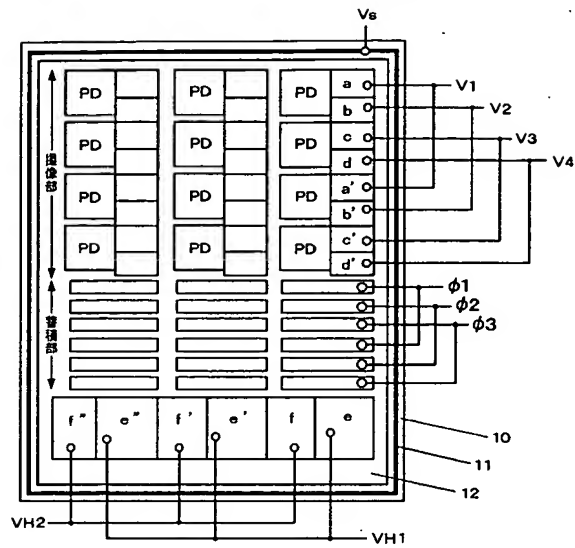
【図 2 6】



【図 2 7】



【図 28】



フロントページの続き

(72)発明者 井狩 素生

大阪府門真市大字門真1048番地

松下電工株式会社内

Fターム(参考) 2F112 AD01 BA09 CA08 DA28 EA03 FA19 FA29 FA45

4M118 AB03 BA12 BA13 CA04 DB06 DB08 DB09 DB20 FA13 FA14

FA24

5C024 CY17 GX03 GY03 GY04 GY05 GZ03 GZ06

5J084 AA05 AD02 BA36 BA40 DA01 EA01